

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

THIS PAGE BLANK (USPTO)

Patent Abstracts of Japan

PUBLICATION NUMBER : 63131104
PUBLICATION DATE : 03-06-88

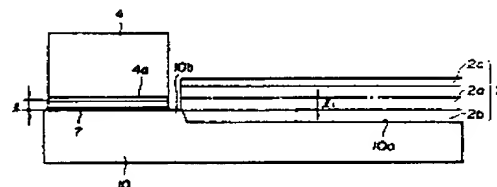
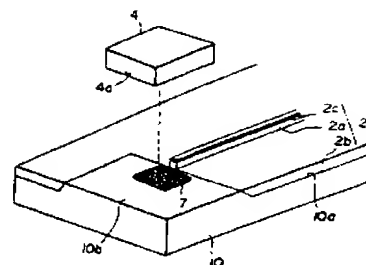
APPLICATION DATE : 20-11-86
APPLICATION NUMBER : 61277058

APPLICANT : NIPPON TELEGR & TELEPH CORP
<NTT>;

INVENTOR : KOBAYASHI MORIO;

INT.CL. : G02B 6/12 H01L 27/15

TITLE : HYBRID OPTICAL INTEGRATED
CIRCUIT



ABSTRACT : PURPOSE: To eliminate the need to form an element as a thin piece and to use an Si substrate as a heat sink by providing an optical waveguide in a recessed part of the Si substrate and coupling the waveguide with the element.

CONSTITUTION: The optical waveguide 2 is formed in the recessed part 10a of the Si substrate 10 and a semiconductor laser 4 is provided to its projection part 10b by p-side down bonding. The waveguide 2 consists of a core layer 2a, a buffer layer 2b, and a clad layer 2c and the top surface of the layer 2b is in level with the top surface of the projection part 10b. For the purpose, the distance l_1 from the top surface of the layer 2b to the center of the layer 2a is set equal to the height (l) from the top surface of the projection part 10b to an active layer 4a and then the laser 4 and waveguide 2 are finely positioned without polishing the substrate of the laser 4. Further, the laser 4 is bonded directly onto the substrate 10, so the substrate 10 is usable as the heat sink.

COPYRIGHT: (C)1988,JPO&Japio

THIS PAGE BLANK (NPTU)

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭63-131104

⑤ Int. Cl.⁴

G 02 B 6/12
H 01 L 27/15

識別記号

庁内整理番号

B-8507-2H
6819-5F

④ 公開 昭和63年(1988)6月3日

審査請求 未請求 発明の数 1 (全7頁)

⑬ 発明の名称 ハイブリッド光集積回路

⑭ 特 願 昭61-277058

⑮ 出 願 昭61(1986)11月20日

⑯ 発 明 者 山 田 泰 文 茨城県那珂郡東海村大字白方字白根162番地 日本電信電話株式会社茨城電気通信研究所内

⑯ 発 明 者 河 内 正 夫 茨城県那珂郡東海村大字白方字白根162番地 日本電信電話株式会社茨城電気通信研究所内

⑯ 発 明 者 小 林 盛 男 茨城県那珂郡東海村大字白方字白根162番地 日本電信電話株式会社茨城電気通信研究所内

⑰ 出 願 人 日本電信電話株式会社 東京都千代田区内幸町1丁目1番6号

⑱ 代 理 人 弁理士 志賀 正武

明 細 書

1. 発明の名称

ハイブリッド光集積回路

2. 特許請求の範囲

(1) 表面に凹部および突部が形成されたシリコン基板と、該シリコン基板の凹部に形成された光導波路と、該シリコン基板の凸部に搭載された光素子とを具備してなり、上記光導波路と光素子とが結合していることを特徴とするハイブリッド光集積回路。

(2) 上記光導波路は、そのバッファ層を上記凹部の上面に形成した状態で該凹部に設けられていることを特徴とする特許請求の範囲第1項記載のハイブリッド光集積回路。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、シリコン基板上に光導波路と、半導体レーザ等の光素子とを複合一体化したハイブリッド光集積回路に関するものである。

(従来技術・発明が解決しようとする問題点)

光通信や光情報処理分野で必要となる各種光回路の小型化、高信頼化及び低価格化のために、Si基板上に形成した光導波路と各種光素子とを複合一体化したハイブリッド光集積回路の実現が期待される。ハイブリッド光集積回路を実現するためには、同一基板上で光導波路と光素子とを効率よく光結合させることが必要不可欠である。

第8図は、この種のハイブリッド光集積回路のプロトタイプであり、Si基板上に形成した石英系光導波路と半導体レーザとを一体化した例である(H. Terui, Y. Yamada, M. Kawachi and M. Kobayashi: "Hybrid Integration of a Laser Diode and High-silica Multimode Optical Channel Waveguide on Silicon", Electron. Lett. vol. 21, pp. 646-648, 1985)。

第8図で、1はSi基板、2は光導波路であり、コア層2a、バッファ層2b及びクラッド層2cの3層構造をしている。3はレーザガイド、4は半導体レーザ、4aはその活性層である。6は粘

特開昭63-131104 (2)

電用ワイヤ、7は導電膜である。半導体レーザ4は、レーザガイド3に押しあてられ、光導波路2に対する適正位置に位置決めされる。また、半導体レーザ4を基板1上に搭載した際のSi基板1の表面から半導体レーザ4の活性層4a中心までの高さ l_0 は、光導波路2のコア2aの中心の高さ l_1 と等しくなるように $l_0 = l_1$ に設定してある。したがって、半導体レーザ4をSi基板上に搭載し、導波路とレーザ活性層の横方向の位置を合わせるだけでレーザ・導波路間の位置合せが実現できる。また、この際、半導体レーザ4は、Si基板上に直接接触しているため、Si基板はレーザのヒートシンクとしても機能している。ところで、上記の構造では、レーザ活性層4aの高さ l_0 を、導波路コア中心の高さ l_1 に一致させるために、半導体レーザ4の基板を必要な厚さにまで研磨する必要があるため、以下のような問題が生ずる。光導波路2の各層の厚さは、多モード系ではコア層 $\sim 50\mu m$ 、バッファ層 $\sim 15\mu m$ 、クラッド層 $\sim 5\mu m$ 、また、単一モード系で、コ

ア層 $\sim 10\mu m$ 、バッファ層 $\sim 20\mu m$ 、クラッド層 $\sim 10\mu m$ 程度である。したがって、 $l_0 = l_1$ に設定するためには、半導体レーザの基板の厚さを、多モード系に対して $\sim 40\mu m$ 、単一モード系に対して $\sim 25\mu m$ にしなければならない。しかも、厚さに対する要求精度は、多モード系に対しては $\pm 3\mu m$ 以内、単一モード系に対しては $1\mu m$ 以内と厳しい。半導体レーザの構成材料であるGaAs系あるいはInP系は脆弱であり、上記のような精度で薄く研磨することは難しく、特に、単一モード系のように薄い半導体レーザをSi基板にボンディングすることは困難で、ハイブリッド光集積回路構成上の大きな問題となっていた。半導体レーザ4の基板の研磨を要せず、かつ高さ方向の精密な位置合せを実現する方法としては、第9図のように半導体レーザ4の活性層4a側を下向きにしたp-サイド・ダウン・ボンディングがある。この方法では、半導体レーザ4の活性層4aの上のエピタキシャル成長層の厚さ l_0 と、導波路コア層中心の高さ l_1 とを一致させ

ばよい。エピタキシャル成長層の厚さ l_0 は高々 $5\mu m$ であるので、この厚さを $\pm 1\mu m$ 以内精度で決定することは容易である。しかしながら、この場合は、第8図とは逆に l_1 も高さ $5\mu m$ 程度に設定しなければならないので、導波路コア層厚も $10\mu m$ 以内と制限され、この方法が適用できるのは、単一モード系に限られる。しかも、コア層厚が $10\mu m$ 程度であれば、バッファ層厚も $10\mu m$ 以上必要である。したがって、第9図のように、p-サイド・ダウン・ボンディングを行なう場合、半導体レーザ4をSi基板1に直接接触させることができず、Si基板をヒートシンクとして機能させることはできない。この場合、別個にヒートシンク8を設ける必要が生じ、光集積回路の小型化、高密度化が難しい。

本発明の目的は、従来、光導波路と半導体レーザとをハイブリッド集積する際に問題となった半導体レーザの薄片化の必要をなくし、かつSi基板をヒートシンクとして機能させることにより小型化、高密度化を可能としたハイブリッド光集積回

路を提供することにある。

(問題点を解決するための手段)

本発明は、シリコン基板上で半導体レーザ等の光素子と光導波路とを光結合させるハイブリッド光集積回路において、シリコン基板の表面に凹部と凸部とを形成し、上記凹部に光導波路を形成し、上記凸部に光素子を搭載してなるものである。

(実施例)

実施例1

第1図(a)及び(b)は本発明の第1の実施例を説明する図である。10は、凹部10a及び凸部10bを有するSi基板、2は凹部に形成した石英系光導波路であり、2aはコア層、2bはバッファ層、2cはクラッド層である。4は半導体レーザ、4aはその活性層、7は導電膜である。本実施例では、バッファ層2bはSi基板10の凹部10aを埋めるように形成されており、バッファ層2bの上面の高さは、Si基板凸部10b上面の高さに一致させてある。したがって、バッファ層

特開昭63-131104 (3)

2 bの上面からコア層2 aの中心までの距離 l_1 と、半導体レーザ4をSi基板10上へp-サイド・ダウン・ボンディングした時の凸部10 b上面から活性層4 aまでの高さ l_2 とを等しく設定することにより、半導体レーザ4の基板を研磨することなしに半導体レーザ4と光導波路2との高さ方向の精度位置合せができる。しかも、この場合、半導体レーザ4は、Si基板10上に直接ボンディングされているので、Si基板10をヒートシンクとして利用することができる。

このような構造の光集積回路は、第2図(a)～(e)のようにして製作することができる。このプロセスを順を追って説明する。(a)図は、Si基板10に凹部10 a及び凸部10 bを形成する工程である。このためには、例えば、 CBrF_3 ガス等によるSi基板のドライエッチングあるいはアルカリエッチング液によるSi基板のウェットエッチング(異方性エッチング)が適用できる。ドライエッチングを用いると、Si基板上の段差は垂直に近くなり、一方、ウェットエッチングでは段差は斜め

になる。(b)図は、凹部10 a、凸部10 bを形成したSi基板10上にバッファ層2 bを形成する工程である。これには、例えば、 SiCl_4 、 TiCl_4 等の原料ガスを酸水素炎中で加水分解し、Si基板10上に堆積させ、この後、電気炉中で高温にして透明ガラス化する方法(火炎堆積法)(特願昭58-1473, H.Kawachi et al, Electron, Lett. 19 (1983) 583)を用いる。(c)図は、余分なバッファ層を除去し、Si基板凸部10 b表面を露出させ、かつ、基板をこの高さで平坦化する工程である。このためには、機械的研磨によってもよいし、また C_2F_6 等のフロン系ガスによる石英系ガラス膜のドライエッチングによってもよい。(d)図は、平坦化された光集積回路基板上にコア層2 a及びクラッド層2 cを形成する工程である。これには(b)図で用いた火炎堆積法によればよい。(e)図は、不要部分の石英系導波路をフォトリソグラフとそれらに引き続く C_2F_6 等のフロン系ガスによるドライエッチングにより除去する工程である。この結果、導波路凸部のSi基板

面はふたたび露出される。最後に、露出したSi基板凸部10 bの面上に、例えば、導電膜として Au-Sn 合金膜を蒸着等により形成した後、半導体レーザをp-サイド・ダウンで搭載し固定すればボンディングは終了する。この際、第1図のように、半導体レーザ4の活性層4 aからレーザの上面までの距離と、導電膜7の高さとを合わせた高さ l_3 が導電路2のコア中心の高さ l_1 と等しくなるように、半導体レーザ4のエピタキシャル成長層厚または導電膜の厚さをコントロールすればよい。

実施例2

第3図は、本発明の第2の実施例を説明する図である。この実施例は、第1の実施例と異なりSi基板凸部10 bの上面と、光導波路バッファ層2 b上面の高さが一致していない場合を示している。第3図においては、半導体レーザ4の活性層4 aのSi基板凸部10 bからの高さ l_2 が導波路コア層2 aの中心の高さ l_1 より小さくなっている。バッファ層2 bの上面と、Si基板凸部10 b上面との間に段差 $l_4 = (l_1 - l_2)$ を設けているので、

半導体レーザ4をp-サイド・ダウンでSi基板凸部10 b上面にボンディングすることにより、半導体レーザ4と光導波路2との高さ合わせができる。例えば、多モード系光導波路のように、コア層厚が、導体レーザの活性層の上面に成長させるエピタキシャル層より厚くなる場合には、本実施例の光回路構造が有効である。

このような構造の光回路は、例えば以下のようなプロセスで製作できる。はじめに、第2図(a)(b)及び(c)と同様の方法で、Si基板に凹部、凸部を形成した後、石英系光導波路バッファ層を形成し、基板表面を平坦化する。この後、第4図(a)のように、所望の大きさの段差がつくように、石英系光導波路バッファ層をエッチングする。この方法としては、フロン系エッチングガス(例えば C_2F_6)によるドライエッチングによる。この時、石英系ガラス膜とSi基板とのエッチング速度の差から、段差が形成できる。次に、第4図(b)のように、この上にコア層2 aを形成し、さらにクラッド層を形成して石英系光導波路を形成する。

特開昭63-131104 (4)

この際、実施例1とは異なり、本実施例では、基板表面には若干の段差が生じる。この段差は、第4図(a)のSi基板凸部10b上面とパッファ層上面2bとの間の段差を反映している。この段差が大きく、この後の光導波路パターン化プロセスに影響がある場合は、第2図(c)のように機械的研磨により表面を平坦化する。最後に、第2図(e)の工程により、不要部分の石英系光導波路を除去すればよい。

実施例3

第5図は、本発明の第3の実施例であり、1つの基板上に複数の半導体レーザ4を搭載したものである。複数の半導体レーザをp-サイド・ダウン・ボンディングし、かつ各素子毎に独立して動作させる場合、半導体レーザのp側の電極は、素子毎に絶縁されていなければならない。このために、本実施例では基板となるSiに、p-n接合部を形成し、ここに逆バイアスをかける方法(例えばJ.D. Crow et al. "Gallium arsenide laser array-on-silicon package", Appl. Opt.,

Vol 17, 479, (1978))を採用している。すなわち、Si基板10として、p形基板を用い、Si基板凸部10bにドーバントを拡散し、n形領域10nを形成している。さらに、本実施例では、Si基板凸部10bを各素子毎に独立に形成した。図において7bは導電膜である。Si基板凸部10bが上記のように製作されているので、この上に、半導体レーザ4をp-サイド・ダウン・ボンディングした時、第6図のように、素子毎の絶縁を保つことができる。すなわち、半導体レーザ4に順方向バイアスを印加する。このとき、Si基板はn形領域10nの電位がp形領域10pの電位より高い逆方向バイアス状態となる。この結果、p-n接合部にドーバントがない空乏層10iが広がるので、Si基板上のp形領域とn形領域とは互いに絶縁される。さらに、Si基板上の各凸部10bの間には、p-n接合部の深さより深い溝が形成されている。したがって、各凸部10b上面に形成されたn領域10nは、互いに、電気的絶縁がなされている。本実施例において、光導波路2及び

半導体レーザ4の寸法は、実施例1または実施例2の関係を満たしているので、半導体レーザをSi基板凸部に搭載し、光導波路2との光結合を行なうことができる。しかも、上述のように、Si基板がヒートシンクとして作用するので、ハイブリッド集積化を行なうにあたり、別個にヒートシンクを用意する必要がない。このため、高密度での基板上への素子搭載が可能となる。

実施例4

第7図は、本発明の第4の実施例である。上述の実施例1～3がリッジ状導波路に関する例であったのに対して、本実施例は埋め込み構造の導波路に関するものである。第7図においては、Si基板凹部10a中に、石英系光導波路パッファ層2bが、その上に、コア層2aが形成されており、最後に、埋め込みクラッド層2dが形成されている。パッファ層2bの上面と、Si基板凸部10b上面の高さが一致している。パッファ層2bの上面から、コア層2aの中心までの高さを l_1 とする。半導体レーザ4をp-サイド・ダウンでSi基

板凸部10bの導電膜(例えばAu-Sn)7上に搭載した時、凸部10b上面から、活性層4aまでの距離を l_2 とする。 $l_1 = l_2$ と設定することにより、半導体レーザを基板に搭載すれば半導体レーザ4と光導波路2のコア層との高さを一致させることができる。また、3aはレーザ・ガイドであり、これによりレーザと導波路との横方向の位置合せを行なうことができる。以上のように、埋め込み構造に対してもリッジ状導波路に対すると同様の光素子のハイブリッド集積が可能である。

なお、上記実施例1～3では、光導波路としては、主に石英系導波路を用いたが、Si基板上に形成でき、かつ、エッチングのできる材料であり、さらに、光素子をボンディングする際の高温(～350℃)に耐えられる導波路であれば、石英系に限定はされない。また、搭載すべき光素子は半導体レーザに限定されない。例えばフォトダイオードでもよいし、また、LiNbO₃または半導体等からなる能動素子(例えば、変調器)を用いてもよい。また、上記実施例のうち、1～3では、

特開昭63-131104 (5)

光素子位置決め用のガイドは用いていないが、これらについても、実施例4と同様にガイドを用いることが可能である。

本実施例のハイブリッド光集積回路は、従来の光集積回路と異なり、導波路のみならず、Si基板を有効に利用することができるので、例えば、光配線回路（特開昭61-48081）のような光導波回路、半導体光素子及び電子回路等を一体化した大規模な光-電子集積回路の分野への応用が期待される。

（発明の効果）

本発明によれば、シリコン基板上で光素子と光導波路とを光結合させるハイブリッド光集積回路において、シリコン基板の表面に凹部と凸部とを形成し、上記凹部上に光導波路を形成すると共に上記凸部上に光素子を搭載するようにしたから、光素子の基板の薄片化なしに、光素子をハイブリッド集積できるという利点があり、特に、単一モード系ハイブリッド光集積回路に有効である。さらに、本発明では、Si基板を光素子のヒートシン

クとして機能させることができるので、光素子にヒートシンクを付けることは不要となり、したがって、高密度の光素子搭載が可能である、という利点がある。

4. 図面の簡単な説明

第1図(a)、(b)は本発明の第1実施例を示す図であって、同図(a)は斜視図、同図(b)は側断面図、第2図(a)～(e)は第1図(a)、(b)の回路の製作方法を説明する図、第3図は本発明の第2の実施例の側断面図、第4図(a)、(b)は第5図の回路の製作方法を説明する図、第5図は本発明の第3の実施例を説明する斜視図、第6図は第3実施例の原理説明図、第7図は本発明の第4の実施例を説明する斜視図、第8図は従来の光集積回路の斜視図、第9図は従来の光集積回路の側断面図である。

2…光導波路、2a…コア層、2b…パッド層、2c…クラッド層、4…光素子（半導体レーザ）、4a…活性層、10…シリコン基板、10a…凹部、10b…凸部。

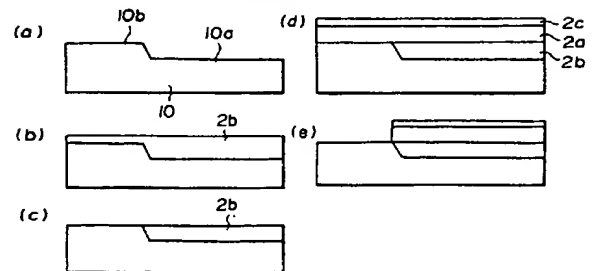
部、10b…凸部。

出願人 日本電信電話株式会社

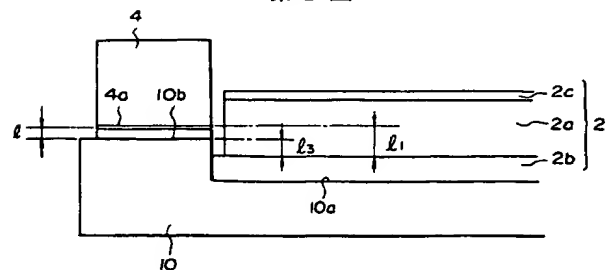
代理人 弁理士 志賀正武



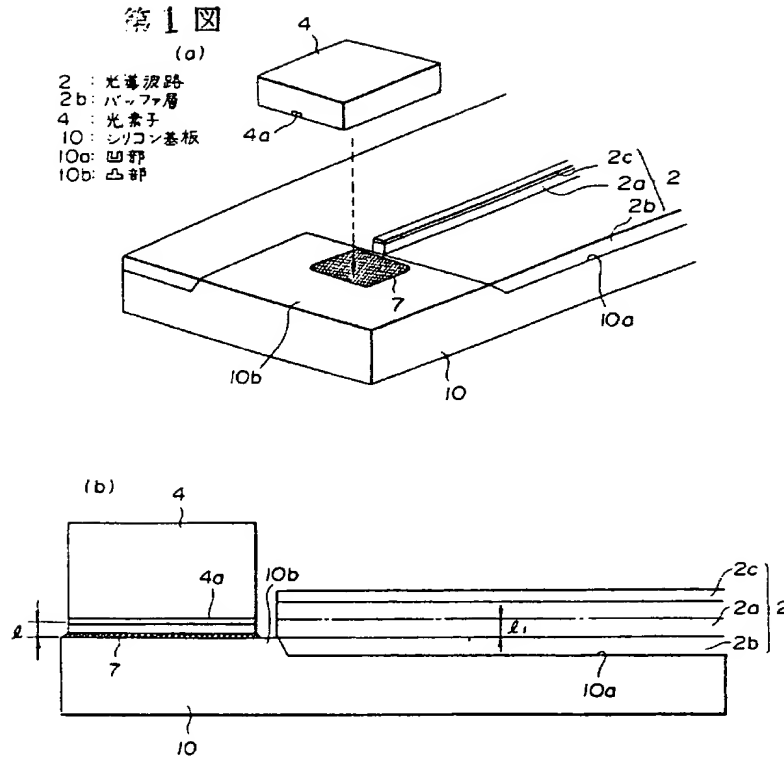
第2図



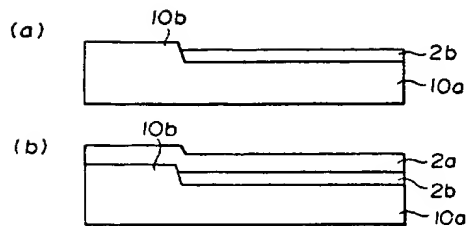
第3図



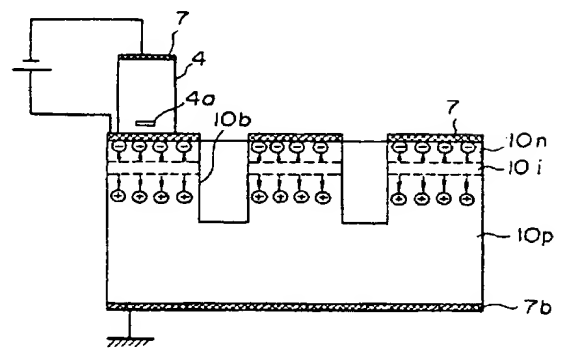
第1図



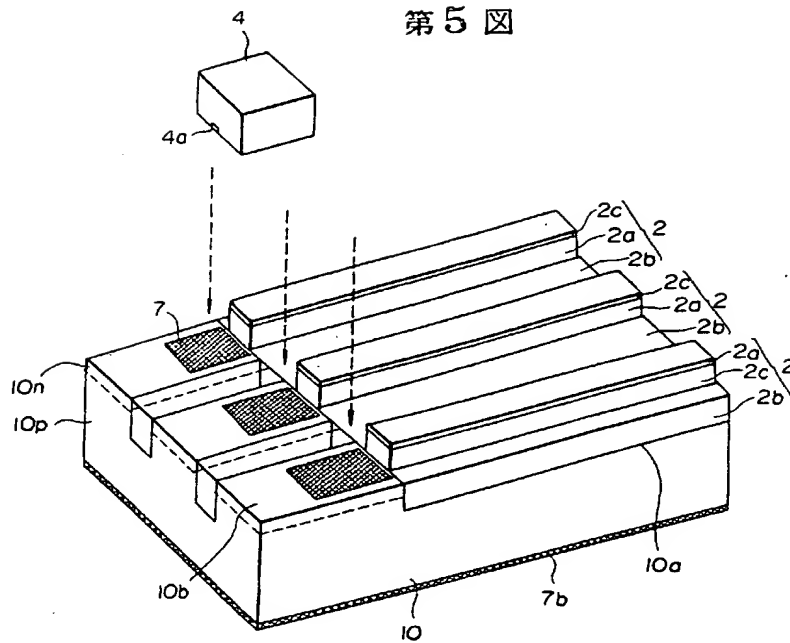
第4図



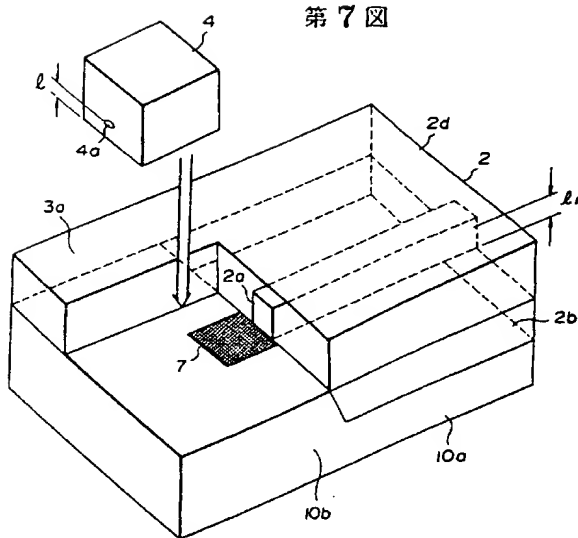
第6図



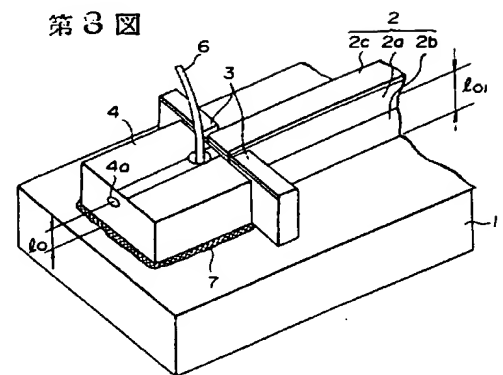
第5図



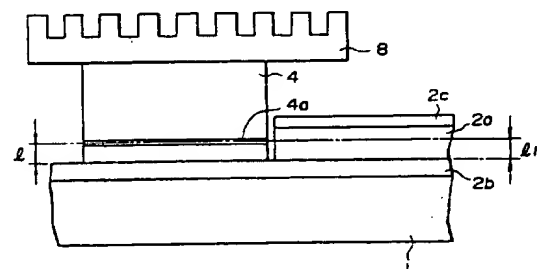
第7図



第3図



第9図



THIS PAGE BLANK (USPTO)